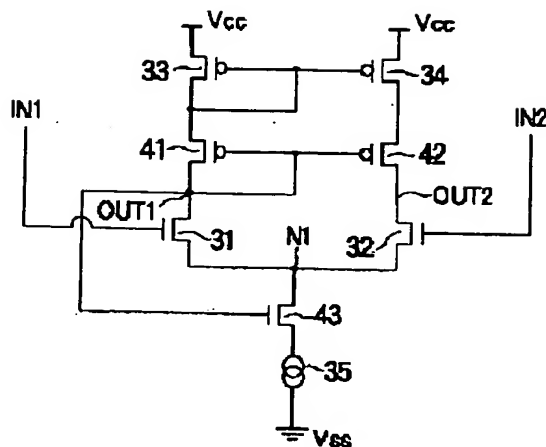


## Patent Abstracts of Japan

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE



**CONSTITUTION:** In the differential type amplification circuit in a semiconductor integrated circuit device, P channel type MOS transistors 41, 42 being first and second load elements and an N channel type MOS transistor 43 being the constant current element are added and their conductances are controlled by the feedback with the signal of the first output terminal OUT1. By such a constitution, the stationary current in the amplification circuit after the establishment of an output is reduced. Moreover, the increase of unwanted control circuits is not present and current consumption after the amplification is reduced with the relatively simple circuit constitution by performing the control for reducing the stationary current by feedbacking the signal of the first output terminal OUT1.

BNSDOCID: 618 4038000011

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29381

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/419

11/409

H 0 3 F 1/02

7350-5 J

G 1 1 C 11/34

3 1 1

3 5 3 A

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平5-172932

(22) 出願日 平成5年(1993)7月13日

(71) 出願人 591049893

株式会社沖マイクロデザイン宮崎  
宮崎県宮崎市大和町9番2号

(71) 出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者 坂田 俊一

宮崎県宮崎市大和町9番2号 株式会社沖  
マイクロデザイン宮崎内

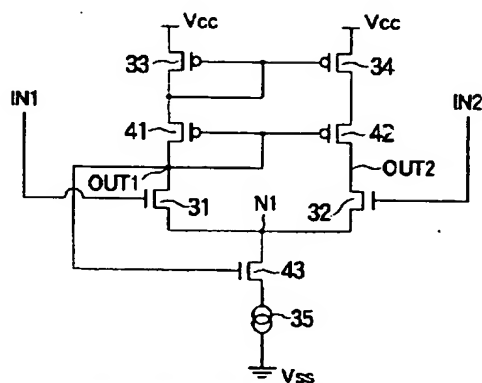
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 差動型増幅回路において増幅後の消費電流を低減する。

【構成】 第1の出力端子OUT1の信号によってPMOS41、42及びNMOS43のゲートを帰還制御する。そのため、差動型増幅回路において、出力確定後の定常電流を低減できる。



本発明の第1の実施例のセンスアンプ

1

## 【特許請求の範囲】

【請求項1】 制御電極に入力される第1の入力信号によって第1の出力端子に接続された第1の電極と共通ノードに接続された第2の電極との間が導通制御される第1のトランジスタと、

前記第1の入力信号に対して相補的な第2の入力信号が制御電極に入力され、該第2の入力信号によって第2の出力端子に接続された第1の電極と前記共通ノードに接続された第2の電極との間が導通制御される第2のトランジスタと、

前記第1の出力端子と第1の電源電位との間に接続された第1の負荷手段と、

前記第2の出力端子と前記第1の電源電位との間に接続された第2の負荷手段と、

前記共通ノードと第2の電源電位との間に接続された定電流源とを、

有する差動型増幅回路を備えた半導体集積回路装置において、

前記第1の負荷手段に直列接続され、前記第1の出力端子の信号によってコンダクタンスが帰還制御される第1の負荷素子と、

前記第2の負荷手段に直列接続され、前記第1の出力端子の信号によってコンダクタンスが帰還制御される第2の負荷素子と、

前記定電流源に直列接続され、前記第1の出力端子の信号によってコンダクタンスが帰還制御される定電流素子とを、

前記差動型増幅回路に設けたことを特徴する半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、

前記第1の出力端子の信号の振幅制限を行って前記定電流素子に与える論理回路を、

前記差動型増幅回路に設けたことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば、フリップフロップ構造のメモリセルを有するスタティックRAM（ランダムアクセスメモリ）等の半導体記憶装置といった半導体集積回路装置において、その中に設けられる差動型増幅回路の低消費電力化技術に関するものである。

【0002】

【従来の技術】 従来、例えば、半導体集積回路装置の1つである半導体記憶装置は、多数のメモリセルがマトリクス状に配置されたメモリセルマトリクスを備え、アドレス入力より決定される1本のワード線と一对のビット線を選択することにより、1つのメモリセルを選択し、それに対してデータの読み書きを行うようになっている。図2は、従来の半導体記憶装置（例えば、スタティ

2

クRAM)の一構成例を示す部分回路図である。このスタティックRAMは、フリップフロップ構造の複数のメモリセル10を有し、それらがビット線BLa、BLb対及びワード線WLにそれぞれ接続されている。メモリセル10は、たすき掛け接続された2個のNチャネル型MOSトランジスタ（以下、NMOSという）11、12を有し、それらのNMOS11、12のドレインが負荷抵抗13、14を介してそれぞれ電源電位Vccに接続されると共に、それらのソースが接地電位Vssに接続されている。NMOS11のドレインは、ワード線WLでゲート制御されるトランスファゲート用のNMOS15を介してビット線BLaに接続されている。同様に、NMOS12のドレインは、ワード線WLでゲート制御されるトランスファゲート用のNMOS16を介してビット線BLbに接続されている。ビット線BLa、BLb対は、その一端が負荷抵抗としてのNMOS17a、17bを介して電源電位Vccに接続され、他端がトランスファゲート用のNMOS18a、18bを介してデータ線DBa、DBb対に接続されている。NMOS18a、18bは、カラム線CLの信号によってオン、オフ制御される。データ線DBa、DBb対の他端は、差動型増幅回路（以下、センスアンプという）20の第1及び第2の入力端子IN1、IN2にそれぞれ接続されている。センスアンプ20は、第1の入力端子IN1の信号によってゲート制御されるNMOS21と、第2の入力端子IN2の信号によってゲート制御されるNMOS22とを有し、それらのNMOS21、22のドレインが、負荷用のPチャネル型MOSトランジスタ（以下、PMOSという）23、24を介して電源電位Vccに接続されている。PMOS23、24のゲートは共通接続され、そのゲートが該PMOS23のドレインに接続されている。PMOS24のドレインには、出力端子OUTが接続されている。また、NMOS21、22のソースは共通ノードNに接続され、その共通ノードNが定電流源25を介して接地電位Vssに接続されている。

【0003】 次に、図2のスタティックRAMの読出し動作を説明する。例えば、メモリセル10内のNMOS11がオン、NMOS12がオフしているとする。読出し動作時、図示しないデコーダによってワード線WLが“H”レベル、及びカラム線CLが“H”レベルになり、読出し対象となるメモリセル10が選択される。メモリセル10が選択されると、該メモリセル10内のNMOS15、16がオンし、該メモリセル10の記憶データがビット線BLa、BLbへ転送される。即ち、ビット線BLaに“L”レベルが、ビット線BLbに“H”レベルが転送される。このとき、NMOS18a、18bもオン状態であるから、ビット線BLa、BLb上の記憶データは、データ線DBa、DBbへ転送され、センスアンプ20の入力端子IN1、IN2へ送

られる。一方のデータ線DBaは“L”レベル、他方のデータ線DBbは“H”レベルであるから、センスアンプ20内のNMOS22はNMOS21に比べてより深くバイアスされ、出力端子OUTが“L”レベルとなり、これがメモリセル10の記憶情報として出力される。データを書込む場合、書込みデータをデータ線DBa、DBb対へ入力し、NMOS18a、18bを介してビット線BLa、BLb対へ送る。そして、図示しないデコーダで活性化されるワード線WL及びビット線BLa、BLb対で選択されたメモリセル10内へ、該ビット線BLa、BLb対上のデータが書込まれる。

【0004】

【発明が解決しようとする課題】しかしながら、従来のスタティックRAM内に設けられるセンスアンプ20では、動作時に定電流源25によって定電流を流し、第1と第2の入力端子IN1、IN2における微小な入力電位差を増幅するという特徴を持つが、その入力電位差を十分に増幅した後でも定電流が流れ続けるため、消費電力が増大するという問題があり、それを比較的簡単な回路構成で解決することが困難であった。本発明は、前記従来の技術が持っていた課題として、消費電力の増大という点について解決し、比較的簡単な回路構成で、増幅後の消費電流を低減できる差動型増幅回路を備えた半導体集積回路装置を提供することを目的とする。

【0005】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、制御電極に入力される第1の入力信号によって第1の出力端子に接続された第1の電極と共通ノードに接続された第2の電極との間が導通制御される第1のトランジスタと、前記第1の入力信号に対して相補的な第2の入力信号が制御電極に入力され、該第2の入力信号によって第2の出力端子に接続された第1の電極と前記共通ノードに接続された第2の電極との間が導通制御される第2のトランジスタと、前記第1の出力端子と第1の電源電位との間に接続された第1の負荷手段と、前記第2の出力端子と前記第1の電源電位との間に接続された第2の負荷手段と、前記共通ノードと第2の電源電位との間に接続された定電流源とを、有する差動型増幅回路を備えた半導体集積回路装置において、前記差動型増幅回路に次のような回路を設けている。即ち、本発明では、前記第1の負荷手段に直列接続され、前記第1の出力端子の信号によってコンダクタンスが帰還制御される第1の負荷素子と、前記第2の負荷手段に直列接続され、前記第1の出力端子の信号によってコンダクタンスが帰還制御される第2の負荷素子と、前記定電流源に直列接続され、前記第1の出力端子の信号によってコンダクタンスが帰還制御される定電流素子とを、前記差動型増幅回路に設けている。第2の発明では、第1の発明の差動型増幅回路に、前記第1の出力端子の信号の振幅制限を行って前記定電流素子に与える論理回路

を設けている。

【0006】

【作用】第1の発明によれば、以上のように差動型増幅回路を備えた半導体集積回路装置を構成したので、例えば、第1のトランジスタの制御電極に“H”レベルの第1の入力信号が入力されると共に、第2のトランジスタの制御電極に“L”レベルの第2の入力信号が入力されると、該第1のトランジスタが該第2のトランジスタよりも深くバイアスされ、第1の出力端子の電位が第2の出力端子の電位よりも下がる。これにより、定電流素子のバイアスが浅くなり、オン抵抗が大きくなる。第1及び第2の負荷素子は深くバイアスされるが、定電流素子によって電流が減少し、第1の出力端子から“L”レベル、第2の出力端子から“H”レベルが出力される。次に、第1のトランジスタの制御電極に“L”レベルの第1の入力信号、第2のトランジスタの制御電極に“H”レベルの第2の入力信号がそれぞれ入力されると、該第2のトランジスタが該第1のトランジスタよりも深くバイアスされ、第1の出力端子の電位が第2の出力端子の電位よりも上がる。これにより、第1及び第2の負荷素子のバイアスが浅くなり、オン抵抗が大きくなる。定電流素子は深くバイアスされるが、第1及び第2の負荷素子のオン抵抗によって電流が減少し、第1の出力端子から“H”レベル、第2の出力端子から“L”レベルが出力される。第2の発明によれば、第1の出力端子の信号の振幅が論理回路によって制限され、定電流素子へ帰還される。そのため、定電流素子が遮断されない。従って、前記課題を解決できるのである。

【0007】

【実施例】

#### 第1の実施例

図1は、本発明の第1の実施例を示す半導体集積回路装置（例えば、スタティックRAM）におけるセンスアンプの回路図である。このセンスアンプは、例えば図2のスタティックRAMに設けられるもので、従来のセンスアンプ20と同様に、入力用の第1、第2のトランジスタであるNMOS31、32、第1、第2の負荷手段であるPMOS33、34、及び定電流源35を有する他に、新たに第1、第2の負荷素子であるPMOS41、42、及び定電流素子であるNMOS43が付加された構成となっている。即ち、図2のデータ線DBaに接続される第1の入力端子IN1がNMOS31のゲート（制御電極）に接続されると共に、データ線DBbに接続される第2の入力端子IN2がNMOS32のゲートに接続されている。NMOS31のドレイン（第1の電極）側の第1の出力端子OUT1は、PMOS41のドレイン及びゲートに接続されると共に、NMOS32のドレイン側の第2の出力端子OUT2がPMOS42のドレインに接続され、該PMOS41と42のゲートが共通に接続されている。PMOS41のソースがPMOS33

のドレイン及びゲートに接続されると共に、PMOS 42のソースがPMOS 34のドレインに接続され、そのPMOS 33と34のゲートが共通接続されている。PMOS 33、34のソースは、電源電位（第1の電源電位） $V_{cc}$ に接続されている。NMOS 31、32のソース（第2の電極）は共通ノードN1に接続され、該共通ノードN1がNMOS 43のドレインに接続されている。NMOS 43のゲートは、出力端子OUT1に帰還接続され、さらに該NMOS 43のソースが、定電流源35を介して接地電位（第2の電源電位） $V_{ss}$ に接続されている。

【0008】図3は、図1に示すセンスアンプの動作波形図であり、この図を参照しつつ図1の読出し動作を説明する。図2のスタティックRAMにおいて、記憶データを読出す場合、図示しないデコーダによってワード線WL及びビット線BLが“H”レベルになり、読出し対象となるメモリセル10が選択され、該メモリセル10の記憶データがビット線BLa、BLb対へ読出され、それが図1のセンスアンプの第1及び第2の入力端子IN1、IN2へ送られる。例えば、入力端子IN1に“H”レベル、入力端子IN2に“L”レベルが入力されると、NMOS 31がNMOS 32より深くバイアスされ、出力端子OUT1の電位が出力端子OUT2の電位より下がる。出力端子OUT1の電位が下がる、これがNMOS 43のゲートへ帰還されるので、該NMOS 43のバイアスが浅くなってオン抵抗が大きくなる。出力端子OUT1の電位が下がる、PMOS 41、42のゲートが深くバイアスされるが、NMOS 43によって電流が減少し、出力端子OUT1から“L”レベル、出力端子OUT2から“H”レベルが出力される。一方、図1のセンスアンプの入力端子IN1に“L”レベル、入力端子IN2に“H”レベルが入力されると、NMOS 32がNMOS 31より深くバイアスされ、出力端子OUT1の電位が出力端子OUT2の電位より上がる。これにより、PMOS 41、42のバイアスが浅くなり、そのオン抵抗が大きくなる。出力端子OUT1の電位の上昇によってNMOS 43が深くバイアスされるが、PMOS 41、42のオン抵抗によって電流が減少し、出力端子OUT1から“H”レベル、出力端子OUT2から“L”レベルが出力される。以上のように、本実施例では、PMOS 41、42及びNMOS 43を設けたので、出力確定後の定常電流を低減できる。しかも、センスアンプ出力をPMOS 41、42のゲート及びNMOS 43のゲートに帰還させて定常電流の低減の制御を行うので、不要な制御回路の増加もなく、比較的簡単な回路構成で、増幅後の消費電流を従来よりも減少できる。

#### 【0009】第2の実施例

図4は本発明の第2の実施例を示すセンスアンプの回路図であり、第1の実施例を示す図1中の要素と共通の要

素には共通の符号が付されている。このセンスアンプでは、図1の出力端子OUT1とNMOS 43のゲートとの間に、出力帰還用の論理回路50を設けた点のみが第1の実施例と異なっている。論理回路50は、増幅と電流低減時との間にタイミングTを持たせる回路であり、抵抗51及び2段のインバータ52、53を有している。抵抗51の一端は出力端子OUT1に接続され、その他端にインバータ52の入力側が接続されている。インバータ52は、PMOS及びNMOSが直列接続されたCMOSインバータで構成され、その出力側のノードN2がインバータ53の入力側に接続されている。インバータ53は、NMOS 43のゲートに接続された出力側ノードN3にフルスイングが得られないようにした回路であり、ノードN2にゲートが接続されたPMOS 53a及びNMOS 53bと、ゲートが電源電位 $V_{cc}$ に接続されたNMOS 53cと、ゲートがノードN3に接続されたNMOS 53dとを有している。NMOS 53c、PMOS 53a、NMOS 53d、及びNMOS 53bは、電源電位 $V_{cc}$ と接地電位 $V_{ss}$ との間に直列接続されている。

【0010】図5は、図4に示すセンスアンプの動作波形図であり、この図を参照しつつ図4の動作を説明する。図2のメモリセル10から記憶データが読出され、それがデータ線DBa、DBb対を介して本実施例のセンスアンプの第1及び第2の入力端子IN1、IN2に入力されると、第1の実施例と同様に、2つの入力信号の差が増幅される。この際、例えば、出力端子OUT1が“H”レベルから“L”レベルに立ち下るとき、それが抵抗51を介してインバータ52で反転され、該インバータ52の出力側ノードN2が“L”レベル（= $V_{ss}$ ）から“H”レベル（= $V_{cc}$ ）へ立ち上がり、インバータ53に入力される。インバータ53では、PMOS 53aがオフ状態、NMOS 53bがオン状態となり、出力側ノードN3が該NMOS 53bを通して“L”レベルに引き下げられる。この際、NMOS 53dのオン抵抗によってノードN3の電位降下があるレベルで停止する。そのため、NMOS 43の遮断が防止される。即ち、NMOS 43を遮断してしまうと、出力端子OUT1、OUT2の出力信号が“H”レベル（あるいは不定）となるので、これを回避するため、本実施例では論理回路50を設け、増幅と電流低減時との間にタイミングTを持たせるようにしている。従って、本実施例では、第1の実施例とほぼ同様の利点が得られる上に、ノードN3のフルスイングを抑制するインバータ53を有する論理回路50を設けたので、NMOS 43の遮断状態を防止して出力端子OUT1、OUT2の“H”レベル（あるいは不定）を回避することができる。

【0011】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば

次のようなものがある。

(a) 図1及び図4のセンスアンプにおいて、電源の極性を変えること等により、PMOSをNMOS、NMOSをPMOSで構成することも可能である。また、図1及び図4のNMOS 31、32等をバイポーラトランジスタで構成することも可能である。

(b) 図4における論理回路50は、他の回路構成に変形してもよい。例えば、インバータ52の入力側とノードN3との間を、図示しない抵抗を介して接続し、論理回路50にヒステリシス特性を持たせれば、NMOS 43のよりの確な帰還制御が行える。

(c) 図1及び図4では、第1の出力端子OUT1の信号をNMOS 43のゲート側へ帰還するようにしたが、該NMOS 43を他のトランジスタ構成にしてそのトランジスタへ第2の出力端子OUT2の信号を帰還させるようにしてもよい。

(d) 上記実施例ではスタティックRAMに設けられるセンスアンプについて説明したが、スタティックRAM以外の他の半導体記憶装置等にも上記実施例を適用できる。

{0012}

【発明の効果】以上詳細に説明したように、第1の発明によれば、第1、第2の負荷素子及び定電流素子を設け、それらを第1の出力端子の信号によって帰還制御するようにしたので、出力確定後の増幅回路における定常電流を低減できる。しかも、第1の出力端子の信号を帰還させて定常電流低減の制御を行っているので、不要な制御回路の増加もなく、比較的簡単な回路構成で、増幅後の消費電流を従来よりも低減できる。第2の発明によ

れば、第1の出力端子の信号を定電流素子へ帰還させる帰還経路中に論理回路を設けたので、該第1の出力端子の信号の振幅を制限することによって定電流素子の遮断状態を防止し、出力端子の“H”レベルあるいは不定状態を回避することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すセンスアンプの回路図である。

【図2】従来のスタティックRAMの部分回路図である。

【図3】図1の動作波形図である。

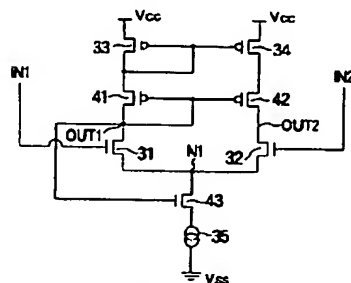
【図4】本発明の第2の実施例を示すセンスアンプの回路図である。

【図5】図4の動作波形図である。

【符号の説明】

31, 32	NMOS (第1, 第2のトランジスタ)
33, 34	PMOS (第1, 第2の負荷手段)
35	定電流源
41, 42	PMOS (第1, 第2の負荷素子)
43	NMOS (定電流素子)
50	論理回路
IN1, IN2	第1, 第2の入力端子
N1	共通ノード
OUT1, OUT2	第1, 第2の出力端子
Vcc	電源電位 (第1の電源電位)
Vss	接地電位 (第2の電源電位)

【図1】



本発明の第1の実施例のセンスアンプ

【図3】

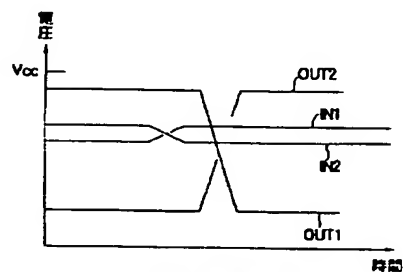
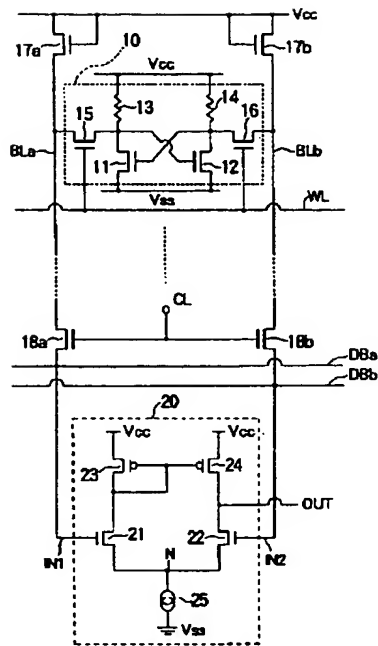


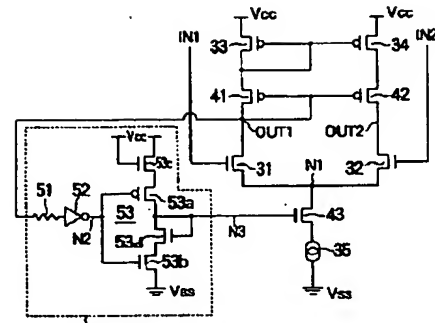
図1の動作波形

【図2】



従来のスタティック RAM

【図4】

50: 論理回路  
本発明の第2の実施例のセンスアンプ

【図5】

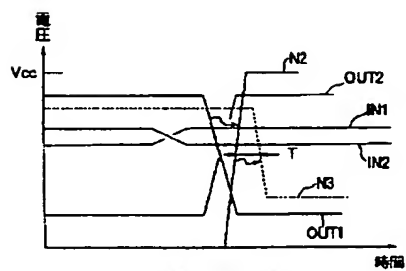


図4の動作波形

フロントページの続き

(51) Int. Cl.<sup>3</sup>  
H03F 3/45識別記号 庁内整理番号  
A 7436-5 J

F I

技術表示箇所